

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-293989

(43)Date of publication of application : 20.10.2000

(51)Int.Cl. G11C 14/00
G11C 11/22
G11C 11/41

(21)Application number : 11-099534

(71)Applicant : NEC CORP

(22)Date of filing : 07.04.1999

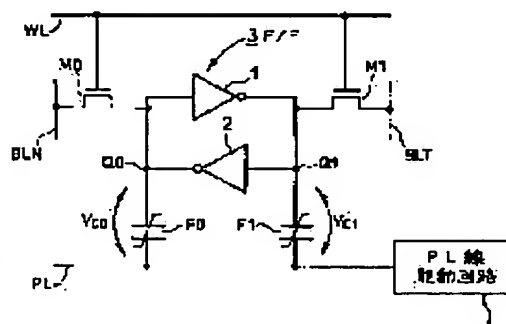
(72)Inventor : MIWA TATSU

(54) SHADOW RAM CELL USING FERROELECTRIC CAPACITOR, NON- VOLATILE MEMORY DEVICE, AND ITS CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To increase circuit scale by reducing the number of constitution elements of a memory cell, and to perform write-in by applying power source voltage in which voltage drop is not caused as it is, with respect to a shadow RAM using a ferroelectric capacitor.

SOLUTION: Ferroelectric substances F0, F1 are connected directly to each of storage nodes M0, M1 of an ordinary SRAM cell constituted of six transistors. Thereby, two transistors per one cell can be reduced. Increasing capacity can be performed in the extent of a conventional SRAM. Also, as voltage drop by a transistor is not caused, power source voltage is applied to a ferroelectric capacitor as it is and write-in can be performed.



LEGAL STATUS

[Date of request for examination] 24.03.2000

[Date of sending the examiner's decision of rejection] 15.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-293989

(P 2 0 0 0 - 2 9 3 9 8 9 A)

(43) 公開日 平成12年10月20日 (2000.10.20)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)	
G11C 14/00		G11C 11/34	352	A 5B015
11/22		11/22		5B024
11/41		11/40		Z

審査請求 有 請求項の数23 O L (全11頁)

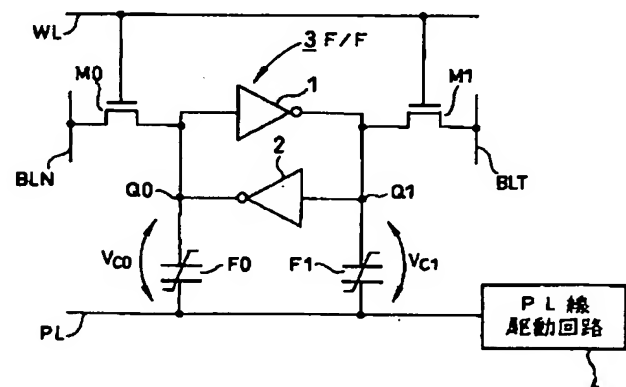
(21) 出願番号	特願平11-99534	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成11年4月7日 (1999.4.7)	(72) 発明者	三輪 達 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100088812 弁理士 ▲柳▼川 信
		Fターム(参考)	5B015 HH03 JJ37 KA13 QQ17 5B024 AA07 BA01 BA21 CA07

(54) 【発明の名称】 強誘電体容量を用いたシャドーRAMセル及び不揮発性メモリ装置並びにその制御方法

(57) 【要約】

【課題】 強誘電体容量を用いたシャドーRAMにおいて、メモリセル構成素子数を削減し大規模化を可能とし、また強誘電体容量に、電圧降下のない電源電圧そのままをかけて書き込みを行えるようにする。

【解決手段】 6つのトランジスタで構成する一般的なSRAMセルの記憶ノードM0、M1の各々に直接強誘電体F0、F1を接続する。これにより、1セル当たり2つのトランジスタが削減でき、従来のSRAM並みの大容量化が可能となる。また、トランジスタによる電圧低下がなので電源電圧をそのまま強誘電体容量に印加し書き込みが行える。



【特許請求の範囲】

【請求項1】 一対の記憶ノードを有するフリップフロップと、共通ワード線によりオンオフ制御されて前記一対の記憶ノードを一対のビット線に接続制御する一対のスイッチング素子と、前記一対の記憶ノードに一端が直接接続され他端がプレート線に接続された一対の強誘電体容量素子とを含むことを特徴とするメモリセル。

【請求項2】 前記フリップフロップは、互いの入力と出力とが前記一対の記憶ノードにおいて夫々接続された一対の論理反転素子からなることを特徴とする請求項1記載のメモリセル。

【請求項3】 前記一対の論理反転素子の各々は2つのトランジスタにて構成され、前記一対のスイッチング素子の各々は1つのトランジスタにて構成され、計6つのトランジスタと前記一対の強誘電体容量素子とからなることを特徴とする請求項2記載のメモリセル。

【請求項4】 前記一対の論理反転素子の各々は少なくとも1つのトランジスタにて構成され、前記一対のスイッチング素子の各々は1つのトランジスタにて構成され、計少なくとも4つのトランジスタと前記一対の強誘電体容量素子とからなることを特徴とする請求項2記載のメモリセル。

【請求項5】 ストア動作時において、前記一対のスイッチング素子をオフ状態に維持しつつ前記プレート線を接地電位と電源電位との間でスイングするようにしたことを特徴とする請求項1～4いずれか記載のメモリセル。

【請求項6】 リコール動作時において、前記一対のスイッチング素子をオフ状態に、また前記プレート線を接地電位に夫々維持しつつ前記フリップフロップの電源を接地電位から規定の動作電源電位まで引き上げることを特徴とする請求項1～5いずれか記載のメモリセル。

【請求項7】 ストア動作時及びリコール動作時以外の給電時において、前記プレート線の電位を接地電位と電源電位との間の所定電位に設定することを特徴とする請求項1～6いずれか記載のメモリセル。

【請求項8】 前記所定電位は前記電源電位の約1/2であることを特徴とする請求項7記載のメモリセル。

【請求項9】 前記ストア動作時において、前記プレート線の電位を前記所定電位から前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにしたことを特徴とする請求項7または8記載のメモリセル。

【請求項10】 前記ストア動作時及びリコール動作時以外の給電時において、前記一対の強誘電体容量素子の各々の両端に印加される電位差（前記所定電位－接地電位）及び（前記電源電位－前記所定電位）が、この強誘電体容量素子の抗電圧より小であることを特徴とする請求項7～9いずれか記載のメモリセル。

【請求項11】 請求項1～10記載のメモリセルを、

前記一対のビット線と前記ワード線との各交点にマトリックス状に配置してなることを特徴とする不揮発性半導体メモリ装置。

【請求項12】 前記メモリセルの全てにおいて、前記プレート線を共通に接続したことを特徴とする請求項11記載の不揮発性メモリ装置。

【請求項13】 この共通接続されたプレート線を駆動するプレート線駆動回路を含むことを特徴とする請求項12記載の不揮発性メモリ装置。

【請求項14】 前記プレート線駆動回路は、ストア動作時において、前記共通接続されたプレート線を接地電位と電源電位との間の所定電位から、前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにしたことを特徴とする請求項13記載の不揮発性メモリ装置。

【請求項15】 前記プレート線駆動回路は、前記プレート線に接続される全てのメモリセルに対して前記ストア動作を一括して行うことを特徴とする請求項14記載の不揮発性メモリ装置。

【請求項16】 前記プレート線駆動回路は、ストア動作時及びリコール動作時以外の給電時において、前記共通接続されたプレート線の電位を接地電位と電源電位との間の所定電位に設定することを特徴とする請求項14または15記載の不揮発性メモリ装置。

【請求項17】 前記プレート線駆動回路は、ストア動作時及びリコール動作時以外の給電時において、前記一対の強誘電体容量素子の各々の両端に印加される電位差（前記所定電位－接地電位）及び（前記電源電位－前記所定電位）を、この強誘電体容量素子の抗電圧より小に設定することを特徴とする請求項14～16いずれか記載の不揮発性メモリ装置。

【請求項18】 一対の記憶ノードを有するフリップフロップと、共通ワード線によりオンオフ制御されて前記一対の記憶ノードを一対のビット線に接続制御する一対のスイッチング素子と、前記一対の記憶ノードに一端が直接接続され他端がプレート線に接続された一対の強誘電体容量素子とを含むメモリセルの制御方法であって、ストア動作時において、前記一対のスイッチング素子をオフ状態に維持しつつ前記プレート線を接地電位と電源電位との間でスイングするようにしたことを特徴とする制御方法。

【請求項19】 リコール動作時において、前記一対のスイッチング素子をオフ状態に、また前記プレート線を接地電位に夫々維持しつつ前記フリップフロップの電源を接地電位から規定の動作電源電位まで引き上げることを特徴とする請求項18記載の制御方法。

【請求項20】 ストア動作時及びリコール動作時以外の給電時において、前記プレート線の電位を接地電位と電源電位との間の所定電位に設定することを特徴とする請求項18または19記載の制御方法。

【請求項 2 1】 前記所定電位は前記電源電位の約 1/2 であることを特徴とする請求項 2 0 記載の制御方法。

【請求項 2 2】 前記ストア動作時において、前記プレート線の電位を前記所定電位から前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにしたことを特徴とする請求項 2 0 または 2 1 記載の制御方法。

【請求項 2 3】 前記ストア動作時及びリコール動作時以外の給電時において、前記一対の強誘電体容量素子の各々の両端に印加される電位差（前記所定電位－接地電位）及び（前記電源電位－前記所定電位）を、この強誘電体容量素子の抗電圧より小としたことを特徴とする請求項 2 0 ～ 2 2 いずれか記載の制御方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は強誘電体容量を用いたシャドー RAM (Random Access Memory) セル及び不揮発性メモリ装置並びにその制御方法に関し、特に S RAM (Static RAM) セルに強誘電体容量を付加したメモリセルを備え、給電時においては S RAM セルで高速の読み出し・書き込み動作を行い、非給電時においては強誘電体容量で不揮発性の記憶を行うシャドー RAM に関するものである。

【0 0 0 2】

【従来の技術】従来より、強誘電体容量と S RAM セルを組み合わせたシャドー RAM は数多く提案されている。これらのシャドー RAM は、給電時は S RAM セルで情報を記憶し、通常の S RAM 並みの高速な読み出し・書き込みを行うことができる。さらに、電源遮断前にストア動作にて S RAM セルで記憶する情報を強誘電体容量の分極方向に移し替えることにより、非給電時には不揮発性の記憶を実現する。つまり強誘電体容量を用いたシャドー RAM は、強誘電体メモリの不揮発性と、S RAM の高速動作の 2 つの特長をあわせ持つ記憶装置である。

【0 0 0 3】例えば、特開平 4 - 5 7 2 9 1 号公報に記載されている強誘電体容量を用いたシャドー RAM のメモリセルの構成は、図 7 に示すような構成である。2 つのインバータ（論理反転素子）1、2 は、互いの入力と出力とが接続されることによりフリップフロップ（F/F）3 を構成する。このフリップフロップ 3 の 2 つの記憶ノード Q 0 及び Q 1 は、夫々トランスファゲートとして機能する NMOS トランジスタ M 0 及び M 1 を介して負ビット線 B L N 及び正ビット線 B L T の夫々に接続される。これ等 2 本の正負ビット線は対をなし、その一端には正負のビット線の電圧を比較するセンスアンプ（図示せず）が接続される。

【0 0 0 4】更に、書き込み時にいずれかのビット線を選択的に接地電位に接続する書き込み回路（図示せず）と、ビット線を電源電位あるいは接地電位にプリチャージするプリチャージ回路（図示せず）もビット線に接続される。NMOS トランジスタ M 0 及び M 1 のゲート電極は共通のワード線 W L に接続される。ワード線 W L は、アドレス信号に従ってアクセス対象となる 1 本のワード線を選択的に駆動するデコード回路（図示せず）に接続される。一端が共通のプレート線 P L に接続された強誘電体容量 F 0 及び F 1 が設けられており、その他端 N 0 及び N 1 はトランスファゲートとして機能する NMOS トランジスタ M 2 及び M 3 を介して記憶ノード Q 0 及び Q 1 に夫々接続される。

【0 0 0 5】トランジスタ M 2 及び M 3 のゲート電極は共通にコントロールライン C L に接続される。コントロールライン C L は、強誘電体容量 F 0 及び F 1 に対してアクセスするストア動作時及びリコール動作時にのみハイレベルとなり、フリップフロップ 3 と強誘電体容量 F 0 及び F 1 とを夫々接続する。それ以外の給電時には、ローレベルとなりフリップフロップ 3 と強誘電体容量とを電氣的に切り離す。また、プレートライン P L はコントロールライン C L がローレベルの間、同じくローレベルを保つ。

【0 0 0 6】次に、この従来の強誘電体容量を用いたシャドー RAM の動作を説明する。なお、フリップフロップ 3 に対する情報の書き込み及び読み出しは、従来の一般的な S RAM と同様であることは明白である。読み出し・書き込み共に行わないアイドリング時には、ビット線をハイレベルにプリチャージし、全てのワード線を立ち下げ、書き込み回路を停止することにより、フリップフロップ 3 内の情報を保持する。

【0 0 0 7】フリップフロップ 3 に情報を書き込むには、アドレスデコードで適当なワード線 W L を立ち上げ、同時に書き込み回路を駆動し、書き込むデータに従って対をなすビット線 B L T 及び B L N の一方をローレベルとする。ワード線 W L が立ち上がると、MOS トランジスタ M 0 及び M 1 はオンとなる。書き込み回路の駆動能力はインバータ 1 及び 2 のそれより十分大きい。書き込み回路にてローレベルに引き降ろされるビット線に MOS トランジスタを介して接続される記憶ノードは接地電位に引き下ろされる。同時にもう一方の記憶ノードは電源電圧に引き上げられ、フリップフロップ 3 が安定する。

【0 0 0 8】また、フリップフロップ 3 からのデータの読み出しは、ビット線対をハイレベルにプリチャージした後に、適当なワード線を選択しビット線対上に現れる電位差をセンスアンプで増幅することにより行う。ワード線 W L を立ち上げることにより、ローレベルの記憶ノードとビット線とを接続する MOS トランジスタがオンし、このビット線の電圧が下がりはじめる。他方のビット線は MOS トランジスタがオンしないため、ハイレベルを維持する。センスアンプにて対をなすビット線の電位差を判定することによりフリップフロップで記憶する

10

20

30

40

50

情報が読み出せる。

【0009】次に、図8、9を用いてストア動作について説明する。尚、図8は強誘電体容量F0及びF1のQ-V平面上におけるヒステリシス特性を示し、図9はストア動作の各部波形のタイミングチャートである。電源遮断時にはフリップフロップ3で記憶するデータを強誘電体容量F0及びF1の分極方向に移し替える。この動作をストアと呼ぶ。ストアは電源電圧の低下、または電源遮断の前に入力されるストア信号をきっかけにして起動される。ストアは以下の手順で行われる。

【0010】まず、コントロールラインCLがハイレベルとなり、フリップフロップ3と強誘電体容量F0及びF1を電気的に接続する。この時プレートラインPLはローレベルであり、フリップフロップ3で記憶するデータに従い、0Vの記憶ノードに接続される強誘電体容量の一方には0V、他方電源電圧(Vcc)の記憶ノードに接続される側には(Vcc-Vt)の電圧が印加される。ここで、VtはMOSトランジスタM2及びM3のしきい値電圧であり、コントロールラインCLにVccが印加されたとき、容量にかかる電圧は(Vcc-Vt)となる。

【0011】強誘電体容量F0及びF1に夫々印加される電圧Vc0及びVc1は、プレート線PLに接続される端子の電位を基準として、MOSトランジスタM2及びM3に接続される側の端子との電位差と定義されるものとする。電圧(Vcc-Vt)が印加された強誘電体容量は図8に示すヒステリシスループの点A'に移動する。

【0012】次に、プレート線PLをVccに立ち上げる。このとき、先に電圧(Vcc-Vt)が印加された強誘電体容量にかかる電圧は両端ともVccとなる。これはトランジスタM2またはM3がオフし、強誘電体容量による容量結合のため、プレート線PLの電位上昇と共にトランジスタ側の電位も上昇するためである。よって、この強誘電体容量にかかる電圧は0Vとなり、正の残留分極を保持する(点B')。他方の強誘電体容量は-Vccが印加され、図8に示すヒステリシスループの点Cに移動する。

【0013】最後に、コントロールラインCL及びプレート線PLを立ち下げ、その後、電源を遮断する。電源遮断後は各ノードが接地電位に収束する。よって最終的に、点Cにいた強誘電体容量は点Dに移動し、負の残留分極を保持する。強誘電体容量は電圧が印加されていない状態で残留分極を10年以上保持できるため、この従来の強誘電体容量を用いたシャドーRAMは不揮発性の記憶を行うことができる。

【0014】次に、リコール動作について図10の各部タイミングチャートを用いて説明する。電源投入時には、強誘電体容量で保持するデータをフリップフロップ3に移し替える。この動作をリコール動作という。電源投入時には、コントロールラインCLをローレベルに固

定し、強誘電体容量の残留分極を保持する。電源が安定した後、リコール動作を開始する。まず、ビット線を接地電位にプリチャージした後に、更にワード線WL、コントロールラインCLを立ち上げる。その後、プレート線PLを立ち上げ強誘電体容量に負の電圧を印加する。このとき図8の点B'にあった一方の強誘電体容量は分極反転に伴い電荷を放出し、他方点Dにあった強誘電体容量は分極反転を起こさないため、より少ない電荷を放出する。結果として、記憶ノードQ0及びQ1のうち、分極反転を起こす強誘電体に接続された側は他方より高い電圧を示す。

【0015】記憶ノードQ0及びQ1に現れた電位差はビット線端に接続されるセンスアンプで増幅され、書き込み回路を通してフリップフロップ3に書き戻される。最後にコントロールラインCL、ワード線WL、プレート線PLを立ち下げ、更にプリチャージ回路をディセーブルして一連の動作を完了する。これをメモリセルアレイ内の全てのワード線に対して繰り返し行い、全てのメモリセルに対してリコールを行う。

【0016】また、第2の従来例である特開平1-66899号公報の技術では、第1の従来例と同じ構成で、異なったりリコール動作を行うので、図11のタイミングチャートを参照してこれを説明する。第2の従来例では、最初にフリップフロップ3の電源電位を接地電位に落とし、更にワード線WLをハイレベルとしビット線につながるプリチャージ回路を利用して記憶ノードも接地する。次に、コントロールラインCLをハイレベルとして強誘電体容量をフリップフロップ3に接続する。

【0017】次に、ワード線WLをローレベルとしビット線と記憶ノードとを切り離す。その後、プレート線PLをハイレベルに立ち上げる。すると、2つの強誘電体容量の分極方向に従って記憶ノードに電位差が生じる。この後、フリップフロップ3の電源電位を所定の動作電位に引き上げ記憶ノードの電位差を増幅保持する。最後に、コントロールラインCLとプレート線PLとを立ち下げアイドリング状態とする。

【0018】以上に示した様に、第1及び第2の従来の強誘電体容量を用いたシャドーRAMでは、フリップフロップ3の記憶データが電源遮断・投入を経ても保存されることになり、よって不揮発性メモリとして動作する。しかも、データの読み出し書き込みは、フリップフロップ3とMOSトランジスタM0及びM1とが通常のSRAMのセルと同様に機能するため、通常のSRAMと同じ様に行うことが可能である。

【0019】強誘電体容量を用いた不揮発性メモリとして、特開昭63-201998号公報に見られる様なメモリセルを、1つのトランジスタと1つの強誘電体容量、あるいは2つのトランジスタと2つの強誘電体容量で構成するものが知られている。これらは給電時、非給電時に関わらず強誘電体容量の分極方向によって情報を

記憶する。また読み出しが破壊読出しとなるため、読み出しに引き続いて書き込みを行う。そのため強誘電体容量のアクセス回数が非常に多く、現状の製造技術では長時間使用後の信頼性は必ずしも十分に確保できていない。一方、強誘電体容量を用いたシャドーRAMでは、強誘電体容量に対するアクセスはストア時とリコール時のみ行われ、比較的性能の劣る強誘電体容量であっても、製品として十分な信頼性を確保できる。

【0020】

【発明が解決しようとする課題】第1及び第2の従来例の強誘電体容量を用いたシャドーRAMでは、二つの問題点がある。第一の問題点は、1つのメモリセルを構成するトランジスタ数が8個と通常のSRAMセル（トランジスタ6個）に比べ多くセルサイズの拡大が避けられないため大容量化には適していない点である。

【0021】また、第二の問題点は、電源遮断時に強誘電体容量に情報を書き込む際に、容量に電源電圧より低い電圧しか印加できないということである。これは、強誘電体容量に印加される電圧が（電源電圧-M2, M3のしきい値電圧）に制限されるためである。ストア時に強誘電体に印加する電圧が低くなると強誘電体を十分に分極させることができず、電源再投入時に情報を復元できない可能性がでてくる。特に、近年のCMOSプロセスの微細化の傾向では、電源電圧（Vcc）の低下に比べしきい値電圧（Vt）の低下の程度が小さく、ストアの電圧が（Vcc-Vt）となることは今後一層問題になると思われる。

【0022】また、電源電圧を電圧降下なしにそのまま印加しようとする、電源電圧よりVt分だけ高い電圧をコントロールラインCLにかける必要がある。高電圧を用いるには第一にそれを発生する手段が必要であり、第二に高電圧に耐える素子及び回路を用いることが必要となる。特にこの高電圧に耐えるトランジスタの開発は先端CMOSの微細化の阻害要因となり不都合が大きい。

【0023】また、これら2つの問題点の他に第1の従来例では、リコール動作が繰り返し動作となるため、動作時間が長くなり、また、繰り返し動作を制御する比較的大規模な制御回路が必要になるという問題がある。つまり、第1の従来例では、リコール動作においてセンスアンプ及び書き込み回路を用いるため、一度にリコールできるビット数がセンスアンプ及び書き込み回路の数のみとなり、メモリセル全てにおいてリコールを行うには少なくともワード線の本数分のリコール動作を繰り返すこととなるためである。

【0024】本発明の目的は、メモリセルを構成するトランジスタ数を削減してSRAM並みの大容量化を実現可能な強誘電体容量を用いたシャドーRAMセル及び不揮発性メモリ装置並びにその制御方法を提供することである。

【0025】本発明の他の目的は、高い信頼性を保ちつつ電源電圧より高い電圧を不要とすることにより、高電圧が不要な論理回路とのプロセス親和性を高めることが可能な強誘電体容量を用いたシャドーRAMセル及び不揮発性メモリ装置並びにその制御方法を提供することである。

【0026】本発明の更に他の目的は、全てのメモリセルにて同時にリコール動作を行うことにより、動作時間の短縮、制御回路の単純化を図ることが可能な強誘電体容量を用いたシャドーRAMセル及び不揮発性メモリ装置並びにその制御方法を提供することである。

【0027】

【課題を解決するための手段】本発明によれば、一対の記憶ノードを有するフリップフロップと、共通ワード線によりオンオフ制御されて前記一対の記憶ノードを一対のビット線に接続制御する一対のスイッチング素子と、前記一対の記憶ノードに一端が直接接続され他端がプレート線に接続された一対の強誘電体容量素子とを含むことを特徴とするメモリセルが得られる。

【0028】そして、前記フリップフロップは、互いの入力と出力とが前記一対の記憶ノードにおいて夫々接続された一対の論理反転素子からなることを特徴とし、また前記一対の論理反転素子の各々は2つのトランジスタにて構成され、前記一対のスイッチング素子の各々は1つのトランジスタにて構成され、計6つのトランジスタと前記一対の強誘電体容量素子とからなることを特徴とする。また、前記一対の論理反転素子の各々は少なくとも1つのトランジスタにて構成され、前記一対のスイッチング素子の各々は1つのトランジスタにて構成され、計少なくとも4つのトランジスタと前記一対の強誘電体容量素子とからなることを特徴とする。

【0029】更に、ストア動作時において、前記一対のスイッチング素子をオフ状態に維持しつつ前記プレート線を接地電位と電源電位との間でスイングするようにし、リコール動作時において、前記一対のスイッチング素子をオフ状態に、また前記プレート線を接地電位に夫々維持しつつ前記フリップフロップの電源を接地電位から規定の動作電源電位まで引き上げることを特徴とする。

【0030】更にはまた、ストア動作時及びリコール動作時以外の給電時において、前記プレート線の電位を接地電位と電源電位との間の所定電位に設定し、この所定電位は前記電源電位の約1/2であることを特徴とする。そして、前記ストア動作時において、前記プレート線の電位を前記所定電位から前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにしたことを特徴とする。

【0031】更に、前記ストア動作時及びリコール動作時以外の給電時において、前記一対の強誘電体容量素子の各々の両端に印加される電位差（前記所定電位-接地

電位)及び(前記電源電位-前記所定電位)が、この強誘電体容量素子の抗電圧より小であることを特徴とする。

【0032】本発明によれば、上述したメモリセルを、前記一对のビット線と前記ワード線との各交点にマトリックス状に配置してなることを特徴とする不揮発性半導体メモリ装置が得られる。そして、前記メモリセルの全てにおいて、前記プレート線を共通に接続したことを特徴とし、またこの共通接続されたプレート線を駆動するプレート線駆動回路を含むことを特徴とする。

【0033】そして、前記プレート線駆動回路は、ストア動作時において、前記共通接続されたプレート線を接地電位と電源電位との間の所定電位から、前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにし、また前記プレート線に接続される全てのメモリセルに対して前記ストア動作を一括して行うことを特徴とする。更に、前記プレート線駆動回路は、ストア動作時及びリコール動作時以外の給電時において、前記共通接続されたプレート線の電位を接地電位と電源電位との間の所定電位に設定することを特徴とし、また、ストア動作時及びリコール動作時以外の給電時において、前記一对の強誘電体容量素子の各々の両端に印加される電位差(前記所定電位-接地電位)及び(前記電源電位-前記所定電位)を、この強誘電体容量素子の抗電圧より小に設定することを特徴とする。

【0034】本発明によれば、一对の記憶ノードを有するフリップフロップと、共通ワード線によりオンオフ制御されて前記一对の記憶ノードを一对のビット線に接続制御する一对のスイッチング素子と、前記一对の記憶ノードに一端が直接接続され他端がプレート線に接続された一对の強誘電体容量素子とを含むメモリセルの制御方法であって、ストア動作時において、前記一对のスイッチング素子をオフ状態に維持しつつ前記プレート線を接地電位と電源電位との間でスイングするようにしたことを特徴とする制御方法が得られる。

【0035】そして、リコール動作時において、前記一对のスイッチング素子をオフ状態に、また前記プレート線を接地電位に夫々維持しつつ前記フリップフロップの電源を接地電位から規定の動作電源電位まで引き上げ、ストア動作時及びリコール動作時以外の給電時において、前記プレート線の電位を接地電位と電源電位との間の所定電位に設定することを特徴とする。

【0036】また、前記ストア動作時において、前記プレート線の電位を前記所定電位から前記電源電位、接地電位の順に、または接地電位、前記電源電位の順に変化させるようにし、前記ストア動作時及びリコール動作時以外の給電時において、前記一对の強誘電体容量素子の各々の両端に印加される電位差(前記所定電位-接地電位)及び(前記電源電位-前記所定電位)を、この強誘電体容量素子の抗電圧より小としたことを特徴とする。

【0037】本発明の作用を述べる。本発明のシャドーRAMでは、トランスファゲートを介さずにフリップフロップの記憶ノードに強誘電体容量を直接に接続する構成とする。このために、本発明のシャドーRAMセルは、第1及び第2の従来のシャドーRAMセルに比べ2つ少ない6つのトランジスタで構成でき、従来の6トランジスタSRAM並みの大容量が実現可能となる。また、このため従来例とは異なったりコール動作を行う。

【0038】本発明のシャドーRAMでは、ストア及びリコール動作時以外の給電時には従来のものと同じく読み出し、書き込みを行う。ストア動作時にはプレート線を一旦電源電圧に引き上げその後0Vに引き降ろすことにより、強誘電体容量に適当な書き込みパルスを印加する。リコール動作時にはプレート線を接地電位に固定したまま、電源電位を単に上昇することのみにより、強誘電体容量に電圧をかけ、分極方向の違いに伴う容量特性の変化をメモリセル内のフリップフロップで増幅しデータを復旧する。第1の従来例と異なりメモリセル外のセンスアンプ、書き込み回路の助けを借りずにデータを復旧するためプレート線は複数のワード線に接続するメモリセルで共有できる。

【0039】また、本発明のシャドーRAMでは、センスアンプ及び書き込み回路を用いずにリコール動作が行える。このためすべてのメモリセルにおいて同時にリコール動作が可能であり、全メモリセルがリコール動作に要する時間の短縮や、制御回路の単純化が可能である。更に、強誘電体容量を接地電位あるいは電源電圧のどちらかを示すフリップフロップの記憶ノードに直接接続するため、高電圧回路無しに強誘電体容量に電源電圧の書き込みパルスを印加することが可能である。

【0040】更にはまた、本発明のシャドーRAMでは、リコール、ストア動作以外の給電時にはプレート線を電源電位と接地電位の間の中間の電位に設定して強誘電体容量にかかる電圧を電源電圧の1/2に緩和し、容量の劣化を防ぐことができる。

【0041】以上に述べた様に、本発明の強誘電体容量を用いたシャドーRAMは、SRAMセルの内部ノードに直接に強誘電体容量を接続したシャドーRAMセルを用いることにより、従来のシャドーRAMに比べチップ面積を削減することが可能となる。また、センスアンプ及び書き込み回路を用いずにリコール動作及びストア動作を行えるため、全メモリセル同時にリコール、ストアを行うことができる。よって、シャドーRAM全体がリコール及びストアに要する時間を短縮できる。同時に、これらの動作の制御を行う制御回路は、繰り返しを行う必要がないため第1の従来例の制御回路に比べ小規模にて実現可能である。

【0042】また、強誘電体容量に情報を書き込む際に、電源電圧より高い電圧あるいは負電圧を用いることなく強誘電体容量に電源電圧の書き込みパルスを印加す

ることが可能である。このため、高電圧あるいは負電圧を用いて電源電圧を強誘電体容量に印加する従来のシャドーRAMに比べると、回路規模の削減、チップ面積の削減、更には1チップ中に混載する高電圧を用いない論理回路等とのプロセス親和性の向上が見込める。

【0043】

【発明の実施の形態】以下に、図面を参照しつつ本発明の実施の形態につき説明する。図1は本発明における強誘電体容量を用いたシャドーRAMの実施例を示す図であり、図7と同等部分は同一符号にて示している。図7に示した従来のシャドーRAMと同様に、2つのインバータ（論理反転素子）1、2は互いの入力と出力とが接続されてフリップフロップ3を構成する。フリップフロップ3の2つの記憶ノードQ0及びQ1は、夫々トランスファゲートとして機能するNMOSTランジスタM0及びM1を介して負ビット線BLN及び正ビット線BLTに夫々接続される。

【0044】正負のビット線は対をなし、その一端には正負のビット線の電圧を比較するセンスアンプ（図示せず）が接続される。更に、書き込み時にいずれかのビット線を選択的に接地電位に接続する書き込み回路（図示せず）及びビット線を電源電圧にプリチャージするプリチャージ回路（図示せず）もビット線に接続される。NMOSTランジスタM0及びM1のゲート電極は共通のワード線WLに接続される。ワード線WLは、アドレス信号に従ってアクセス対象となる1本のワード線を選択的に駆動するデコーダ回路（図示せず）に接続される。

【0045】一端が共通のプレート線PLに接続された強誘電体容量F0及びF1は、直接に記憶ノードQ0及びQ1に夫々接続される。プレート線PLはプレート

（PL）線駆動回路4に接続される。構成上、従来のSRAMと異なる点は、メモリセル内に2つの強誘電体容量F0及びF1が追加された点と、強誘電体容量の一端に接続されるプレート線PL及びこれを駆動するPL線駆動回路4とが追加された点のみである。すなわち、図7の従来のシャドーRAMと比較すると、本発明のシャドーRAMでは、記憶ノードQ0及びQ1と強誘電体容量F0及びF1との間のMOSTランジスタM2及びM3が省略された構成である。

【0046】次に、この発明の実施例の強誘電体容量を用いたシャドーRAMの動作を説明する。ストア動作時及びリコール動作時以外の給電時に、プレート線は電源電圧（Vcc）の約2分の1に設定される。このため、強誘電体容量にかかる電圧は約 $V_{cc}/2$ または $-V_{cc}/2$ となる。給電時に行われるデータの読み出し及び書き込み動作は、従来のシャドーRAMと同じく、従来の一般的なSRAMと同様に行われるで説明を省略する。

【0047】次に、ストア動作について図2、3を参照して説明する。尚、図2は図1の強誘電体容量F0及びF1のQ-V平面上におけるヒステリシス特性を示して

おり、図3はストア動作時の各部タイミングチャートである。本発明のシャドーRAMでも、従来例と同様に、電源遮断時にフリップフロップ3の記憶データを強誘電体容量F0及びF1の残留分極の方向に移し替えるストアを行う。このストア動作はワード線WLをローレベルに保ったまま、プレート線PLを $V_{cc}/2$ から V_{cc} 、更に0Vへと駆動することにより行われる（尚、図3の最下行に示す様に、プレート線PLを $V_{cc}/2$ から0V、更に V_{cc} へと駆動しても良いものである）。

【0048】プレート線PLを $V_{cc}/2$ から V_{cc} に引き上げることににより、電源電圧を保持する記憶ノードに接続される強誘電体容量には0V、接地電位を保持する記憶ノードに接続される強誘電体容量には $-V_{cc}$ が印加される。 $-V_{cc}$ が印加された強誘電体容量は図2の点Cに移動する。その後プレート線PLを0Vに引き下げると、電源電圧を保持する記憶ノードに接続される強誘電体容量には V_{cc} 、接地電位を保持する記憶ノードに接続される強誘電体容量には0Vが印加される。 V_{cc} が印加された強誘電体容量は図2の点Aに移動する。

【0049】最終的に電源を遮断し全てのノードが接地電位にディスチャージされると、電源電圧を保持していた記憶ノードに接続される強誘電体容量は図2の点Bで残留分極Prを、他方、接地電位を保持していた記憶ノード側の強誘電体容量は点Dで残留分極 $-Pr$ を夫々保持する。従来例と同じく、強誘電体は電源が供給されない状態で記憶を残留分極として保持するため、本発明のシャドーRAMは不揮発性メモリとして動作する。

【0050】次に、電源投入時のリコール動作について、図4のタイミングチャートを参照して説明する。電源投入時には、ワード線WL及びプレート線PLをローレベルに保ったまま、フリップフロップ3の電源を立ち上げることにのみにより、強誘電体容量が残留分極として記憶するデータをフリップフロップ3に再生することが可能である。フリップフロップ3の電源が上昇を始めると、記憶ノードの電位もインバータ1、2を構成するMOSTランジスタのカップリングにより上昇する。これにより強誘電体容量にかかる電圧は0Vから正側に大きくなっていく。

【0051】正の残留分極を図2の点Bで保持する強誘電体容量は、負の残留分極を点Dで保持する容量に比べ、小さい容量として働く。これはQ-V平面上に描く軌跡の傾きがBからAに向かうとき（矢印Y1）と、DからAに向かうとき（矢印Y2）とを比較すると、BからAに向かうときの方が緩やかになることより明らかである。すなわち、前者の容量（より小さい容量）が接続される記憶ノードが他方に比べ比較的速く上昇することになる。

【0052】更に電源電圧が上昇を続け、記憶ノードの一方がインバータ1、2を構成するトランジスタのしきい値電圧を超えると、フリップフロップ3に正のフィー

ドバックがかかり記憶ノードの電圧の高低を増幅する。最終的には、点Bで保持していた記憶ノードはVccとなり、点Dで保持していた記憶ノードはGNDとなる。最後にプレート線をVcc/2に設定しアイドル状態となる。結果として、電源遮断前にVccを保持する強誘電体容量は点Bでデータを保持し、電源再投入後にVccを再び保持する。同じ様に、電源遮断前に0Vを保持する強誘電体容量は点Dでデータを保持し、電源再投入後も0Vを保持する。

【0053】以上に示した様に、本発明の強誘電体容量は、フリップフロップ3が記憶するデータが電源遮断・再投入を経ても保存される不揮発性メモリとして動作する。しかも、データの読み出し書き込みは、従来のシャドーRAMと同様に、通常のSRAMと同じように行うことができる。

【0054】以上に説明した様に、本発明のシャドーRAMでは、リコール時にセンスアンプ、書き込み回路を用いない。このため全メモリセル一括でのリコール動作が可能であり、リコール時間の短縮、制御回路の簡単化が可能である。同様の理由で本発明のシャドーRAMでは、プレート線を全メモリセルで共通の配線とすることが可能である。これにより、プレート線駆動回路の数を減らし、回路面積を削減できる。

【0055】本発明のシャドーRAMでは、プレート線PLを通常時にはVccと0Vとの間の所定電位（好ましくは、約Vcc/2）にすることにより、強誘電体容量にかかる電圧を約Vcc/2に緩和することができる。強誘電体容量の組成、膜厚、構造を最適化することにより、本発明では、図2のヒステリシス特性の様に、通常時に強誘電体容量にかかる電圧であるVcc/2を抗電圧Vcよりも低くすることができるので、ストア時、リコール時以外の通常時には強誘電体容量の分極は変化せず、よって分極反転回数に伴う疲労劣化（図5にその疲労劣化に起因するヒステリシス特性の劣化状態の例を示す）は避けられることになり、特に問題はない。

【0056】尚、図1に示したSRAMセルを構成するフリップフロップ3は、図6(A)に示す様に、CMOSインバータ構成とされた、NチャネルMOSトランジスタM00、M01とPチャネルMOSトランジスタM01、M02とからなるものであり、トランスファゲート用MOSトランジスタM0、M1と併せて、1セル当たり合計6トランジスタからなっている。しかしながら、図6

(B)に示した様に、高抵抗R1、R2をNチャネルMOSトランジスタM00、M01の負荷として使用した、高抵抗4トランジスタのメモリセル（1セル当たり合計4トランジスタのメモリセル）にも本発明は適用できるものである。また、本発明による図1の構成のメモリセルは、いわゆるテンポラリメモリ（一時記憶メモリ）としても使用できることは勿論である。

【0057】

【発明の効果】以上説明したように、本発明によれば、記憶ノードと強誘電体容量の間からMOSトランジスタを排除することにより、従来のシャドーRAMよりも少ない6つ（または4つ）のトランジスタでメモリセルを構成でき、かつMOSトランジスタによる電圧の低下がなくなって強誘電体容量に電源電圧をそのまま印加でき、これにより非給電時の記憶保持の信頼性を高められるという効果がある。また、本発明によれば、全メモリセルでストア動作やリコール動作を一括して行えるため、動作時間の短縮、制御回路の簡単化が可能になるという効果もある。

【0058】尚、通常の給電時においてプレート線を約Vcc/2として、強誘電体容量にかかる電界を緩和しているの、強誘電体容量に電圧がかからない従来のシャドーRAMに比較すると、容量の劣化が心配となるが、上述した様に約Vcc/2が分極に影響を与えないところの、抗電圧より小さい値であれば、劣化はほとんど無視できるレベルに抑えられる。

【図面の簡単な説明】

【図1】本発明の実施例を示す回路図である。

【図2】本発明における強誘電体容量のQ-V平面上のヒステリシス特性を示す図である。

【図3】本発明のストア動作時のタイミングチャートである。

【図4】本発明のリコール動作時のタイミングチャートである。

【図5】強誘電体容量の分極反転回数に伴う疲労劣化を説明するための図である。

【図6】(A)はSRAMセルを構成するフリップフロップの回路図一例を示し、(B)はその他の例を示す図である。

【図7】従来の強誘電体容量を用いたシャドーRAMの例を示す図である。

【図8】図7の強誘電体容量のQ-V平面上のヒステリシス特性を示す図である。

【図9】図7のストア動作時のタイミングチャートである。

【図10】図7のリコール動作時のタイミングチャートの一例を示す図である。

【図11】図7のリコール動作時のタイミングチャートの他の例を示す図である。

【符号の説明】

1, 2 インバータ

3 フリップフロップ

4 PL線駆動回路

BLN, BLT ビット線対

F0, F1 強誘電体容量

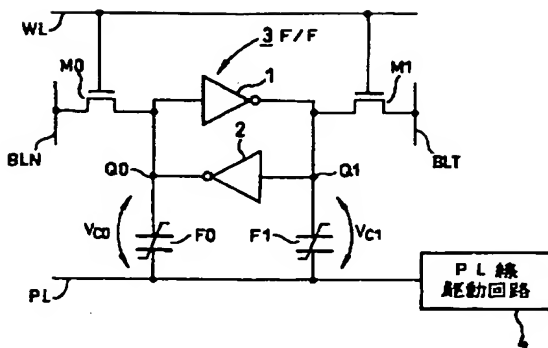
Q0, Q1 記憶ノード

M0, M1 MOSトランジスタ

50 PL プレート線

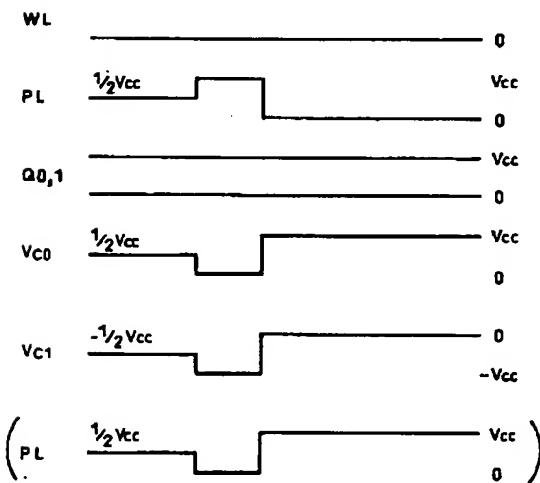
WL ワード線

【図 1】

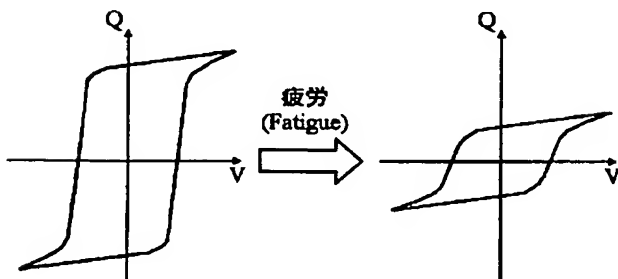


【図 3】

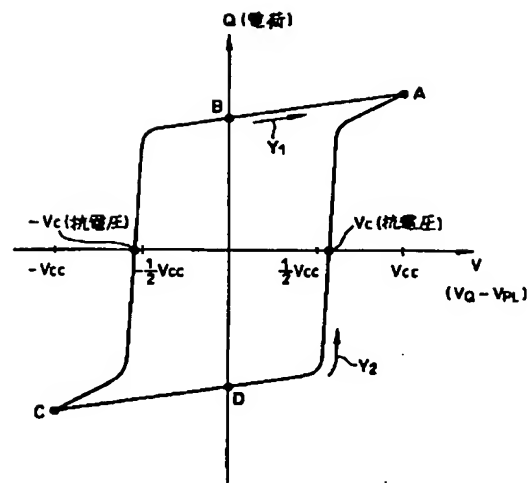
本発明のストア動作タイミングチャート



【図 5】

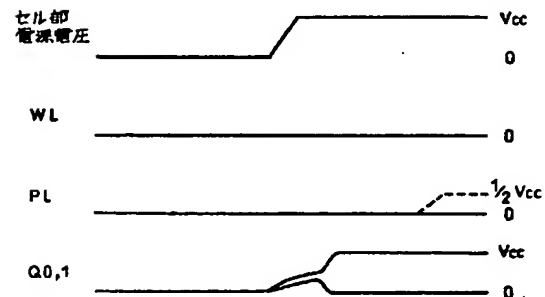


【図 2】

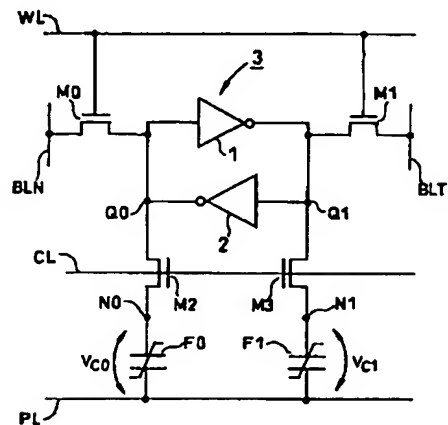


【図 4】

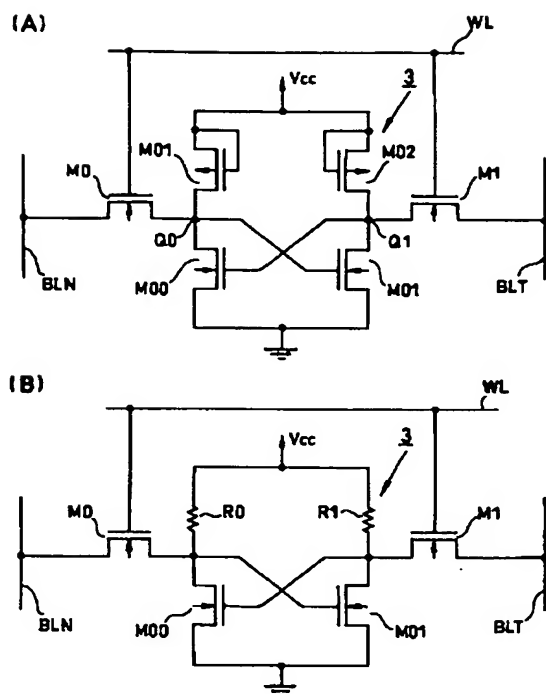
本発明のリコール動作タイミングチャート



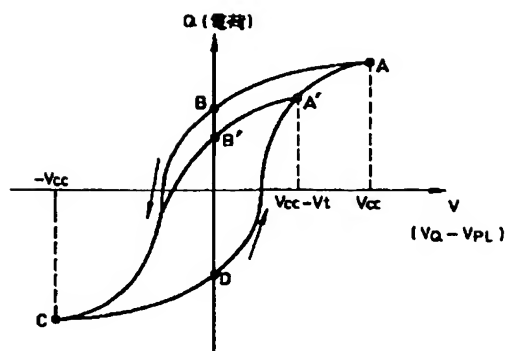
【図 7】



【図 6】

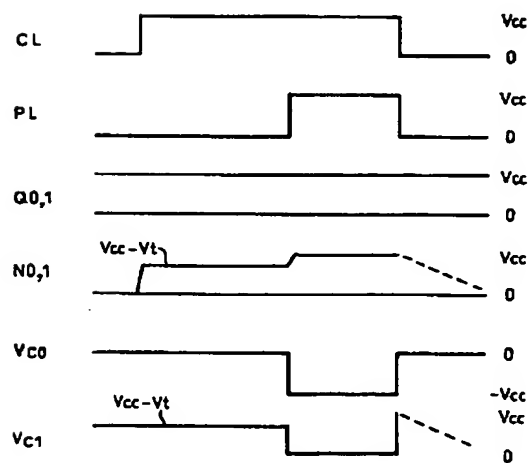


【図 8】



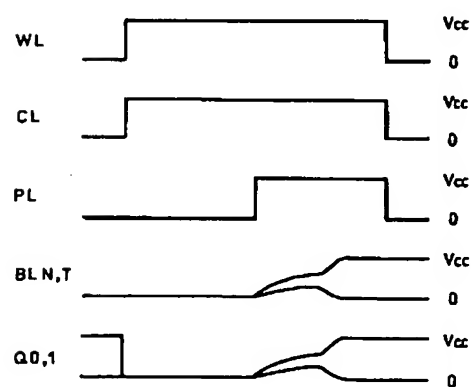
【図 9】

従来例のストア動作タイミングチャート



【図 10】

第1の従来例のリコール動作タイミングチャート



【図 11】

第2の従来例のリゴール動作タイミングチャート